


MANUFACTURE OF SEMICONDUCTOR PACKAGE

Patent Number: JP58057730
Publication date: 1983-04-06
Inventor(s): MATSUMURA KOUZOU; others: 05
Applicant(s): NIHON SHIYASHIN INSATSU KK; others: 01
Requested Patent:  JP58057730
Application Number: JP19810156494 19810930
Priority Number(s):
IPC Classification: H01L21/58
EC Classification:
Equivalents: JP1630934C, JP2049013B

Abstract

PURPOSE:To homogenize a gold film thickness, by providing a gold paste layer having an adhesion corresponded to a recess on a base body sheet having a mold releasing property, and transferring it into the recess, when forming a gold film in the recess provided on a substrate constituting a ceramic package.

CONSTITUTION:On a film having the mold releasing property such as a polyethylene terephthalate or a melamine resin film 1 which is applied to a mold releasing treatment, the gold paste layer 2 which is constituted of gold powder at 20-90wt%, glass and inorganic substances at 0.2-20wt% and the remnant of paste organic substances and has the adhesion is formed to the fixed demension by a printing means. On the other hand, the recess 4 wherein the layer 2 subsides is provided on the ceramic substarate 3, the film 1 is mounted on the substrate 3 with the layer 2 sunk thereinto, and the layer 2 is transferred into the recess 4 by heating to 160-180 deg.C and pressing a presser 8. Thereafter, the film 1 is peeled off, and a gold film 5 is obtained by firing at 800-900 deg.C. Thus, the productivity of the formation of a gold film is enhanced.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—57730

⑤ Int. Cl.³
H 01 L 21/58

識別記号

庁内整理番号
6679—5 F

④ 公開 昭和58年(1983)4月6日
発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体パッケージの製造方法

① 特 願 昭56—156494
② 出 願 昭56(1981)9月30日
⑦ 発 明 者 松村紘三
京都府乙訓郡大山崎町鏡田22—81
⑦ 発 明 者 高落実
長岡京市長岡1丁目17番13号日
本写真印刷株式会社長岡寮内
⑦ 発 明 者 小川行雄
京都市西京区大原野東竹の里町
1—1—6—504
⑦ 発 明 者 上田英三

名古屋市東区泉1丁目7番15号
泉サンハイツ1103号
⑦ 発 明 者 松永仁一
四日市市大矢知町356—2
⑦ 発 明 者 中山和尊
愛知県海部郡甚目寺町下萱津池
端21
① 出 願 人 日本写真印刷株式会社
京都市中京区壬生花井町3番地
① 出 願 人 株式会社ノリタケカンパニーリ
ミテド
名古屋市西区則武新町3丁目1
番36号

明 細 書

1 発明の名称

半導体パッケージの製造方法

2 特許請求の範囲

1. 凹型性を有する基体シート上に接合性を有する金ペースト層を設けてなる伝導材を用いて、セラミック基板の上に設けられた凹部の底面に金ペースト層を形成した後、焼成して金膜を形成することを特徴とする半導体パッケージの製造方法。

2. 接合性を有する金ペースト層が金ペースト及び接合剤を含む混合物により形成されたものであることを特徴とする特許請求の範囲第1項記載の半導体パッケージの製造方法。

3. 接合性を有する金ペースト層が金ペーストを主成分とする層及び接合剤層が設けられたものであることを特徴とする特許請求の範囲第1項記載の半導体パッケージの製造方法。

3 発明の詳細な説明

本発明は半導体パッケージの製造方法に関するものであり、更に詳しくはセラミックパッケージの基板の凹部に金膜を形成する方法において、金膜の厚さを均一にし、容易に大量生産し得る方法を提供せんとするものである。

従来、半導体素子を搭載する半導体パッケージとしては、セラミック基板に凹部を設け凹部の底面に金膜を形成したものがある。この金膜の形成方法としては①スクリーン印刷によって金ペースト層を凹部底面に形成し、焼成する方法、②滴下によって金ペースト層を形成する方法があった。しかしながら①の方法では、凹部への直接印刷が困難なため金ペースト層の膜厚が不均一になり易い。これは凹部が深くなる程顕著である。又②の方法では凹部の側面にも金ペーストが付着し易く、搭載後の半導体素子の回路に懸影口を与えることが少なくない。又滴下量が一定になりにくい膜厚が不均一になる等の欠点があった。

本発明者らは以上のような従来法の諸欠点に鑑みて、研究考察した結果、本発明を完成するに至ったものである。即ち本発明は、凹型性を有する基体シート1上に接着性を有する金ペースト層2を設けてなる伝写材を用いて、セラミック基板3上に設けられた凹部4の底面に金ペースト層2を形成した後、焼成して金皮膜5を形成することと特徴とする半導体パッケージの製造方法である。

以下、本発明について更に詳しく説明する。

まず、本発明において用いる伝写材について説明する(第1図参照)。伝写材は凹型性を有する基体シート1および接着性を有する金ペースト層2より形成される。凹型性を有する基体シート1としては例えばポリエチレンテレフタレート等のフィルムを使用する。必要に応じて該フィルムにメタミン樹脂を用いて凹型処理を施したり、フィルム上にワックスよりなる凹型層或いはアクリル樹脂よりなる剥離層を設けてもよい。

接着性を有する金ペースト層2は、金ペースト

及び接着剤を含む混合物により形成されるか又は金ペーストを主成分とする層及び接着剤層が積層されて形成される。使用する金ペーストは例えば金粉末20~90重量%、ガラス分及び無機物0.2~20重量%、残部は有機物でペースト状又は液状にしたものを用いる。金ペースト層の作製に際しては、スクリーン印刷、グラビア印刷等の印刷手段にて凹型性を有する基体シート1上に形成する。尚、接着剤としては屈折性接着剤を用いるのが好ましい。

以上のような伝写材を用いて金ペースト層2をセラミック基板3上に設けられた凹部4の底面に伝写する(第2図参照)。伝写は前記伝写材を金ペースト層2が凹部4に位置するように凹口し、しかる後、例えばゴム製の加圧体8を加圧したものをを用いて加圧加圧し、金ペースト層2のみを凹部4の底面に伝写せしめる。このときの加圧は160~180℃の温度が好ましい。

金ペースト層2を伝写した後、焼成して金皮膜5

を形成する。焼成は800~900℃で行う。

本発明は以上のような半導体パッケージの製造方法であるから、均一な厚さの金膜を凹部の底面に対して一定した位置に形成することができる。又、凹部の底面に対してほぼ同じ面積の金皮膜を形成でき、しかも凹部口面に金ペーストが付着することもなく品質の優れた製品を得ることができる。更に伝写工程も簡便な手段によってできるものであり、又伝写材が所謂ウェットな材料ではないから品質管理、取扱いが容易であるから大量生産に適した方法である。

以下本発明の実施例について説明する。

<実施例1>

ポリエチレンテレフタレートフィルム上にメタミン樹脂を用いて凹型層を設け、その上に下記の組成よりなる金ペースト層をスクリーン印刷にて形成し、更にその上にポリアミド系樹脂よりなる接着剤を用いて接着剤層を設けた。

金ペースト層のペースト状の配合例を掲げる。

金 粉 末 60 (wt%) 平均粒径 3μ
ガラス粉末 6 (wt%) ($70\% \text{PbO} \cdot 11\% \text{B}_2\text{O}_3 \cdot 1\% \text{SiO}_2$)
ベ ヒ ク ル 34 (wt%) 10% エチルセルローズ
90% ブチル・カルビトール
アセテート

パターン面積 3.2 × 2.3mm

金ペースト層 10μ (焼成厚み 5μ)

上記の伝写材を用いてセラミック基板3上の凹部(3.6 × 2.6mm)の底面に下記の伝写条件で金ペースト層を伝写した。しかる後、下記の条件で焼成し凹部底面に均一な厚さの金膜を形成した半導体パッケージを得た。

伝写条件

伝写温度 180℃

伝写時間 0.8 sec

焼成条件

焼成温度 850℃ 5min 保持

焼成時間 55min

<実施例2>

ポリエチレンテフタレートフィルム上にワックスよりなる凹型口を設け、その上にアクリル系樹脂よりなる凹型口を設け、更に下記組成の金ペースト層及びアクリル系樹脂よりなる接合層口を順次設けた。

金ペースト層のペースト状の配合例を掲げた。

金粉 60 (wt%) 平均粒径 2 μ
 ガラス粉 8 (wt%) (70% PbO, 15% B₂O₃, 15% SiO₂)
 ベヒクル 34 (wt%) 10% エチルセルローズ
 90% ブチルカルビトール
 アセテート

パターン面積 3.2 × 2.8 mm

金ペースト層 10 μ (焼成厚み 5 μ)

上記の圧写材を用いてセラミック基板上の凹部(3.5 × 2.5 mm)の底面に下記の圧写条件で金ペースト層を圧写した。しかる後、下記の条件で焼成し凹部底面に均一な厚さの金層を形成した半導体パ

ッケージを得た。

圧写条件

圧写温度 180 °C

圧写時間 0.8 sec

焼成条件

焼成温度 860 °C 5 min 保持

焼成時間 55 min

4 図面の簡単な説明

第1図は本発明において使用する圧写材の部分拡大断面図、第2図は本発明における圧写工程を示す拡大断面図、第3図は本発明にかかる製造方法によって得られた半導体パッケージの一実施例の拡大断面図を各々示す。

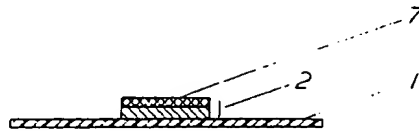
图中、1...成型性を有する基体シート

2...接合性を有する金ペースト層

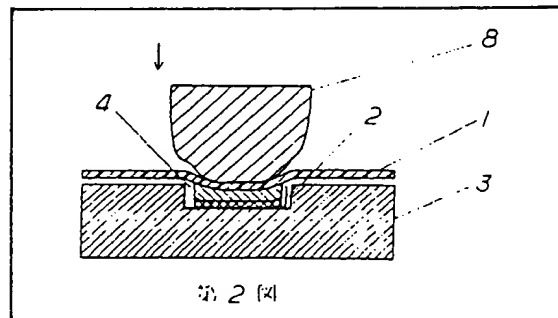
3...セラミック基板 4...凹部

5...金層 8...加圧体

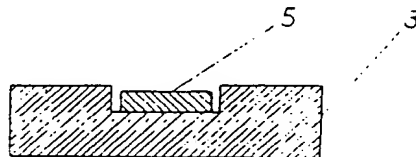
特許出願人：日本電気株式会社



第1図



第2図



第3図